

Family list22 family members for: **JP4133035**

Derived from 14 applications

- 1 LIGHT VALVE DEVICE**
Inventor: TAKASU HIROAKI (JP); KOJIMA YOSHIKAZU (JP); (+6)
EC: G02F1/1337T; G02F1/1362D; (+2)
Publication info: **CA2050736 A1** - 1992-03-06
Applicant: KOJIMA YOSHIKAZU (JP); TAKASU HIROAKI (JP); (+6)
IPC: **G02F1/1337; G02F1/1362; G09G3/36** (+7)
- 2 Semiconductor light valve device and process for fabricating the same.**
Inventor: TAKASU HIROAKI (JP); KOJIMA YOSHIKAZU (JP); (+6)
EC: G02F1/1337T; G02F1/1362D; (+2)
Publication info: **EP0474474 A2** - 1992-03-11
EP0474474 A3 - 1992-09-30
Applicant: SEIKO INSTR INC (JP)
IPC: **G02F1/1337; G02F1/1362; G09G3/36** (+9)
- 3 SEMICONDUCTOR DEVICE FOR LIGHT VALVE SUBSTRATE**
Inventor: KAMIYA MASAOKI; KOJIMA YOSHIKAZU; (+1)
EC:
Publication info: **JP2939563B2 B2** - 1999-08-25
JP4115231 A - 1992-04-16
Applicant: SEIKO INSTR INC
IPC: **G02F1/136; G02F1/1368; H01L21/336** (+11)
- 4 SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FOR FLAT PLATE TYPE LIGHT VALVE SUBSTRATE**
Inventor: KAMIYA MASAOKI; TAKASU HIROAKI; (+4)
EC:
Publication info: **JP2967126B2 B2** - 1999-10-25
JP4362924 A - 1992-12-15
Applicant: SEIKO INSTR INC
IPC: **G02F1/1345; G02F1/136; G02F1/1368** (+10)
- 5 SEMICONDUCTOR SINGLE CRYSTAL THIN FILM-COMBINED SUBSTRATE**
Inventor: KOJIMA YOSHIKAZU
EC:
Publication info: **JP2976002B2 B2** - 1999-11-10
JP4115232 A - 1992-04-16
Applicant: SEIKO INSTR INC
IPC: **G02F1/136; G02F1/1368; G02F1/13** (+1)
- 6 SEMICONDUCTOR SUBSTRATE DEVICE FOR LIGHT VALVE AND PRODUCTION THEREOF**
Inventor: TAKASU HIROAKI; KOJIMA YOSHIKAZU
EC:
Publication info: **JP2979196B2 B2** - 1999-11-15
JP4115230 A - 1992-04-16
Applicant: SEIKO INSTR INC
IPC: **G02F1/1345; G02F1/136; G02F1/1368** (+10)
- 7 SINGLE CRYSTAL THIN FILM SEMICONDUCTOR DEVICE FOR OPTICAL VALVE SUBSTRATE**
Inventor: TAKASU HIROAKI
EC:
Publication info: **JP3062698B2 B2** - 2000-07-12
JP4133035 A - 1992-05-07
Applicant: SEIKO INSTR INC
IPC: **G02F1/1333; G02F1/136; G02F1/1365** (+)
- 8 LIQUID CRYSTAL LIGHT VALVE DEVICE CONSISTING OF SEMICONDUCTOR SINGLE CRYSTAL THIN FILM SUBSTRATE**
Inventor: YAMAZAKI TSUNEO; TAKASU HIROAKI; (+2)
EC:
Publication info: **JP3171844B2 B2** - 2001-06-04
JP4116623 A - 1992-04-17
Applicant: SEIKO INSTR INC
IPC: **G02F1/1337; G02F1/1343; G02F1/13** (+2)
- 9 LIGHT VALVE DEVICE**
Inventor: YAMAZAKI TSUNEO
EC:
Applicant: SEIKO INSTR INC
IPC: **G02F1/133; G02F1/13; (IPC1-7): G02F1/13**

- Publication info: JP3215409B2 B2** - 2001-10-09
JP4128717 A - 1992-04-30
- 10 SINGLE CRYSTAL THIN FILM SEMICONDUCTOR DEVICE FOR OPTICAL VALVE SUBSTRATE**
Inventor: TAKASU HIROAKI **Applicant:** SEIKO INSTR INC
EC: **IPC:** G02F1/1343; G02F1/136; G02F1/1368 (+)
Publication info: JP4133034 A - 1992-05-07
- 11 SINGLE CRYSTAL THIN FILM SEMICONDUCTOR DEVICE FOR OPTICAL VALVE SUBSTRATE**
Inventor: KOJIMA YOSHIKAZU; YABE SATORU; **Applicant:** SEIKO INSTR INC
(+1)
EC: **IPC:** G02F1/1333; G02F1/136; G02F1/1368 (+)
Publication info: JP4133036 A - 1992-05-07
- 12 SEMICONDUCTOR DEVICE**
Inventor: KOJIMA YOSHIKAZU **Applicant:** SEIKO INSTR INC
EC: **IPC:** H01L27/04; H01L21/822; H01L21/8238
(+12)
Publication info: JP4312967 A - 1992-11-04
- 13 Light valve device making**
Inventor: TAKASU HIROAKI (JP); KOJIMA **Applicant:** SEIKO INSTR INC (JP)
YOSHIKAZU (JP); (+6)
EC: G02F1/1337T; G02F1/1362D; (+2) **IPC:** G02F1/1337; G02F1/1362; G09G3/36 (+8)
Publication info: US5637187 A - 1997-06-10
- 14 Light valve device**
Inventor: TAKASU HIROAKI (JP); KOJIMA **Applicant:** SEIKO INSTR INC (JP)
YOSHIKAZU (JP); (+6)
EC: G02F1/1337T; G02F1/1362D; (+2) **IPC:** G02F1/1337; G02F1/1362; G09G3/36 (+7)
Publication info: US6067062 A - 2000-05-23

Data supplied from the *esp@cenet* database - Worldwide

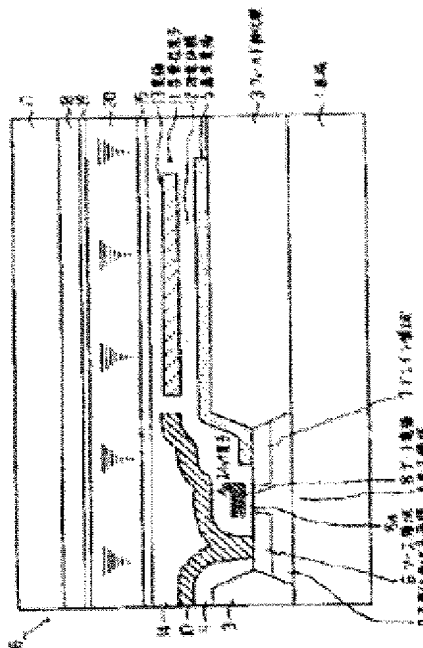
SINGLE CRYSTAL THIN FILM SEMICONDUCTOR DEVICE FOR OPTICAL VALVE SUBSTRATE

Patent number: JP4133035
Publication date: 1992-05-07
Inventor: TAKASU HIROAKI
Applicant: SEIKO INSTR INC
Classification:
- international: **G02F1/1333; G02F1/136; G02F1/1365; G02F1/1368; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66;** (IPC1-7): G02F1/1333; G02F1/136
- european:
Application number: JP19900254920 19900925
Priority number(s): JP19900254920 19900925

Report a data error here

Abstract of JP4133035

PURPOSE:To obtain a stable optical valve operation characteristic by forming integrally a pixel electrode and a switching element by using a LSI manufacturing technology for a high quality semiconductor single crystal thin film layer formed on a quartz glass substrate and connecting a capacitive element to the pixel electrode. **CONSTITUTION:**On the surface of the electrically insulated substrate 1, the semiconductor single crystal thin film 2 is arranged. Next the thin film 2 is partially converted to a field oxidized film 3 with a selective heat change. A portion of the thin film 2 remaining without being subjected to a selective heat change forms an element region 4. Then on the field oxidized film 3, the pixel electrode 5 is arranged. On the other hand the switching element 4a is integrally formed in the element region 4. Here the switching element 4a conducts selective power supply to the corresponding pixel electrode 5. besides, the capacitive element 11 is connected to the pixel electrode 5 and the charge conducted with the power supply through the switch 4a is accumulated.

Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-133035

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月7日

G 02 F

1/136
1/1333

5 0 0

9018-2K
8806-2K

審査請求 未請求 請求項の数 6 (全9頁)

⑬ 発明の名称 光弁基板用単結晶薄膜半導体装置

⑰ 特 願 平2-254920

⑱ 出 願 平2(1990)9月25日

⑯ 発 明 者 鷹 巢 博 昭 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

光弁基板用単結晶薄膜半導体装置

2. 特許請求の範囲

1. 電気絶縁性の基板と、

該基板表面に配置された半導体単結晶薄膜と、
該基板上に配置され個々の画素を規定する画素
電極群と、

該半導体単結晶薄膜に集積的に形成され対応す
る画素電極に対して選択給電を行なう為のスイッ
チ素子群と、

個々の画素電極に接続され給電された電荷を保
持する為の容量性素子群とからなる光弁基板用半
導体装置。

2. 各容量性素子群は、各画素電極の上に誘電体膜
を介して積層された電極からなる請求項1に記載
の光弁基板用半導体装置。

3. 各画素電極は半導体多結晶薄膜からなり、該誘
電体膜は半導体多結晶薄膜の表面に形成された熱

酸化膜からなるとともに、該電極は透明電極から
なる請求項2に記載の光弁基板用半導体装置。

4. 各スイッチ素子はゲートラインを介して選択走
査される単結晶薄膜絶縁ゲート電界効果トランジ
スタからなり、

各容量性素子はゲートラインを覆う様に誘電体
膜を介して積層配置された画素電極延設部からな
る請求項1に記載の光弁基板用半導体装置。

5. 該ゲートラインは半導体多結晶薄膜からなり、
該誘電体膜は半導体多結晶薄膜表面に形成された
熱酸化膜からなる請求項4に記載の光弁基板用半
導体装置。

6. 該半導体単結晶薄膜は、基板表面に接合された
研摩半導体単結晶薄膜である請求項1に記載の光
弁基板用半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は直視型表示装置や投影型表示装置等に
用いられる平板型光弁装置に関する。より詳しく
は、平板型光弁装置の基板として用いられ、半導

特開平4-133035 (2)

体薄膜に集積的に形成された画素電極群及びスイッチ素子群を有する薄膜半導体装置に関する。かかる半導体装置は例えば典型的にアクティブマトリックス型の光弁装置を組み立てるのに用いられる。

〔従来の技術〕

アクティブマトリックス装置の原理は比較的簡単であり、各画素にスイッチ素子を設け、特定の画素を選択する場合には対応するスイッチ素子を導通させ、非選択時にはスイッチ素子を非導通状態にしておくものである。このスイッチ素子はアクティブマトリックス装置の液晶パネルを構成するガラス基板上に形成されている。従ってスイッチ素子の薄膜化技術が重要である。この素子として通常薄膜絶縁ゲート電界効果トランジスタが用いられる。

従来、アクティブマトリックス装置においては薄膜絶縁ゲート電界効果トランジスタはガラス基板上に堆積された非晶質シリコン薄膜あるいは多結晶シリコン薄膜の表面に形成されていた。これ

れている。

しかしながら、従来の非晶質あるいは多結晶シリコン薄膜を用いている限り、LSI製造技術を直接適用して μ mオーダの薄膜トランジスタスイッチ素子を形成する事は困難である。例えば、非晶質シリコン薄膜の場合にはその成膜温度が300℃程度である為、LSI製造技術に必要な高温処理を実施する事ができない。又、多結晶シリコン薄膜の場合には結晶粒子の大きさが数 μ m程度である為、必然的に薄膜トランジスタの微細化が制限される。加えて、多結晶シリコン薄膜の成膜温度は600℃程度であり、1000℃以上の高温処理を要するLSI製造技術を活用する事は實際上不可能である。以上に述べた様に、従来の非晶質又は多結晶シリコン薄膜を用いたアクティブマトリックス装置用薄膜半導体装置は、通常の半導体集積回路装置と同程度の集積密度及びチップ寸法を実現する事が極めて困難であるという問題点があった。上述した従来の技術の問題点に鑑み、本発明は微細化されたスイッチ素子及び高密度に集積された

非晶質シリコン薄膜及び多結晶シリコン薄膜は物理気相成長法あるいは化学気相成長法を用いてガラス基板上に容易に堆積できるので比較的大画面のアクティブマトリックス装置を製造するのに適している。

〔発明が解決しようとする課題〕

しかしながら、従来の非晶質シリコン薄膜あるいは多結晶シリコン薄膜を用いたアクティブマトリックス装置は、画素電極の高密度化及びスイッチ素子の微細化には必ずしも適していない。最近、直視型表示装置とは別に、微細化されたスイッチ素子及び高密度に集積された画素電極を有する超小型表示装置あるいは光弁装置に対する要求が高まって来ている。かかる超小型光弁装置は例えば投影型画像装置の一次画像形成面として利用され、投影型のハイビジョンテレビとして応用可能である。微細半導体製造技術あるいはLSI製造技術を直接適用する事が可能であれば、数 μ mオーダの画素寸法を有し全体としても数 μ m程度のチップ寸法を有する超小型光弁装置が可能であると考えら

る。画素電極を有する光弁基板用半導体装置を提供する事を一般的な目的とする。この一般的な目的を達成する為に、本発明においては電気絶縁性の基板とその上に形成された半導体単結晶薄膜とからなる二層構造を有する複合基板を用いて薄膜トランジスタスイッチ素子群及び対応する画素電極群を形成する様にした。

ところで、アクティブマトリックス装置においては、選択期間中にスイッチ素子を介して画素電極に所定の電荷量を供給するとともに、非選択期間中該供給された電荷量を画素電極に保持しておく画素毎の光弁機能を行なうものである。この時、本発明の一般的目的に従ってスイッチ素子を半導体単結晶薄膜に形成すると、その光暗電流は非晶質シリコン薄膜あるいは多結晶シリコン薄膜に形成された薄膜トランジスタに比べて大きくなってしまふ。従って、何ら対策を施さない場合には1フレームの大部分を占める非選択期間中において、大きな光暗電流の為蓄積電荷がリークしてしまい画素に印加される電圧の降下を生ずるという

特開平4-133035 (3)

問題点がある。そこで、本発明は光暗電流の比較的大きなシリコン単結晶薄膜トランジスタ素子を用いた場合にも画素に印加される電圧の降下を有効に防止する事のできる構造を有する光井基板用単結晶薄膜半導体装置を提供する事を特徴的な目的とする。

〔課題を解決するための手段〕

上述した一般的目的及び特徴的目的を達成する為に、本発明にかかる光井基板用半導体装置は、電気絶縁性の基板と該基板表面に配置された半導体単結晶薄膜とからなる積層型の複合基板を用いる。該複合基板の上には個々の画素を規定する画素電極群が配置されている。又、該半導体単結晶薄膜にはスイッチ素子群が集積的に形成されており、対応する画素電極に対して選択給電を行なう。加えて、個々の画素電極に接続された容量性素子群を具備しており、画素電極に給電された電荷を保持する機能を有する。

本発明の一態様によれば、各容量性素子は各画素電極の上に誘電体膜を介して積層された電極か

ら構成されている。例えば、各画素電極は半導体多結晶薄膜からなり、該誘電体膜はこの半導体多結晶薄膜の表面に形成された熱酸化膜から構成されている。

本発明の他の態様によれば、各スイッチ素子はゲートラインを介して選択走査される単結晶薄膜絶縁ゲート電界効果トランジスタからなるとともに、各容量性素子はゲートラインを覆う様に誘電体膜を介して積層配置された画素電極延設部からなる。例えば、該ゲートラインは半導体多結晶薄膜からなり、該誘電体膜はこの半導体多結晶薄膜表面に形成された熱酸化膜からなる。

本発明の好ましい態様として、電気絶縁性の基板表面に配置された半導体単結晶薄膜は、基板表面に高品質のシリコンウェハを熱圧着した後研摩処理を行ない薄膜化したものである。

〔発明の作用〕

上述した様に、本発明によれば電気絶縁性の基板とその上に形成された半導体単結晶薄膜とからなる二層構造を有する複合基板を用いており、且

つ該半導体単結晶薄膜は半導体単結晶バルクからなるウェハと同等の品質を有している。従って、かかる半導体単結晶薄膜にLSI製造技術を駆使して画素電極群及びスイッチ素子群等を高密度で集積的に形成する事ができる。この結果得られる半導体装置チップは極めて高い画素集積密度及び極めて小さい画素寸法を有しており超小型高精細のアクティブマトリックス型光井装置を構成できる。

特に、半導体単結晶薄膜に形成された絶縁ゲート電界効果トランジスタ等からなるスイッチ素子の光暗電流が比較的大きい点に鑑み、個々の画素電極には容量性素子が接続されており、画素電極に給電された電荷をフレーム期間中蓄積保持しておく構造となっている。この結果、単結晶薄膜トランジスタの光暗電流が比較的大きいにも拘らず、容量性素子を用いて比較的大きな電荷量を予め各画素電極に蓄積しておき実効印加電圧の降下を有効に防止する事ができる。

〔実施例〕

以下図面を参照して本発明の好適な実施例を詳細に説明する。第1図は本発明にかかる光井基板用単結晶薄膜半導体装置の模式的部分断面図であり、光井装置として組み立てられた状態を示す。簡単の為、一画素部分を切り取って示してある。図示する様に、この半導体装置は電気絶縁性の基板1と、この基板表面に配置された半導体単結晶薄膜2とからなる二層構造を有する複合基板を用いている。基板1は例えば石英ガラスから構成されており、半導体単結晶薄膜2は例えばシリコン単結晶から構成されている。半導体単結晶薄膜2は選択的熱酸化により部分的にフィールド酸化膜3に転換されている。選択的熱酸化されずに残された半導体単結晶薄膜2の部分が素子領域4を形成する。フィールド酸化膜3の上には個々の画素を規定する画素電極5が配置されている。この画素電極は例えばシリコン多結晶薄膜を所定の形状にパターニングして得られる。一方、素子領域4にはスイッチ素子4aが集積的に形成されている。

特開平4-133035 (4)

このスイッチ素子4aは対応する画素電極4aに対して選択給電を行なう為のものであり、例えばシリコン単結晶薄膜絶縁ゲート電界効果トランジスタからなる。即ち、トランジスタスイッチ素子5は半導体単結晶薄膜2の表面部に離間して形成された一対のソース領域6及びドレイン領域7と、ゲート絶縁膜8aを介して積層配置された所定の形状を有するゲート電極8とからなる。ドレイン領域7は画素電極5に電気的に接続されているとともに、ソース領域6は層間絶縁膜9に形成されたコンタクトホールを介して金属配線10に接続されている。金属配線10の延設部分はトランジスタスイッチ素子4a覆う様に配置されており遮光膜を兼ねている。

画素電極5には容量性素子11が接続されており、スイッチ素子4aを介して選択給電された電荷を蓄積する。この容量性素子11は画素電極5の上に誘電体膜12を介して積層された電極13を有している。この誘電体膜12は例えばシリコン多結晶薄膜からなる画素電極5の表面を熱酸化して得られる。

れた保護膜14の上に液晶配向膜15を形成しておく。本例はこの様な場合を示し、半導体装置の上には所定の間隙を介して対向基板16が配置されている。この対向基板16はガラス基板17と、その内側に形成された共通電極18と、共通電極表面を被覆する液晶配向膜19等から形成されている。上述した所定の間隙には液晶層20が充填されている。

前述した様に、本半導体装置は複合基板を用いており、基板1の表面には半導体単結晶薄膜2が形成されている。この半導体単結晶薄膜2は、好ましくは高品質を有するシリコン単結晶ウェハを基板表面に熱圧着した後、研磨薄膜化して形成される。この様にして得られたシリコン単結晶薄膜2はシリコン単結晶ウェハの高品質をそのまま維持しているので、LSI製造技術が直接適用可能であり絶縁ゲート電界効果トランジスタ等のスイッチ素子を微細に形成する事ができる。

ところで、シリコン単結晶薄膜に形成された絶縁ゲート電界効果トランジスタは、従来の非品質シリコン薄膜あるいは多結晶シリコン薄膜に形成

熱酸化膜は絶縁性に優れており緻密であるとともに極めて薄く形成できるので誘電体膜12として最適である。以上の説明から明らかな様に、本実施例においては容量性素子11は一対の画素電極5及び電極13と両者の間に挟持された誘電体膜12とからなるキャパシタである。電極13は例えばITO等の透明電極材料からなる。画素電極5の上に積層される誘電体膜12は透明性の熱酸化膜からなり電極13も透明材料からなるので、容量性素子11の存在は画素電極5に対して何ら光学的に障害とはならない。加えて、画素電極5を構成するシリコン多結晶膜の厚みを小さくして画素電極5自体を透明にすると、その下に存在するフィールド酸化膜3及び石英ガラス基板1も透明であるので全体として画素そのものが透明となる。従って、画素は光透過性の光弁として機能する事ができる。

スイッチ素子4a、画素電極5及び容量性素子11の形成された基板表面は平坦化された保護膜14によって被覆されている。かかる構成を有する半導体装置を液晶光弁に用いる場合には、平坦化さ

されたトランジスタに比べて比較的光暗電流が大きい。しかしながら、本発明によれば画素電極5に容量性素子11が接続されているので、この光暗電流による電荷損失分を十分に補なう事のできる電荷量を蓄積しておく事が可能となる。

第2図は本発明にかかる光弁基板用単結晶薄膜半導体装置の他の実施例を示す模式的部分破断断面図である。第1図に示す実施例と同一の構成要素については同一の参照番号を付してその説明に換える。先に述べた実施例と異なる点は容量性素子の構造にある。即ち、本実施例においては容量性素子21は走査電極母線23あるいはゲートラインと、透明画素電極5の延設部分5aと、両者の間に挟持された誘電体膜22とから構成されている。ゲートライン23はゲート電極8に電気的に接続されており、各スイッチ素子4aを選択する為の走査信号を供給する。このゲートライン23はゲート電極8と同一の薄膜材料例えば多結晶シリコン薄膜を所定の形状にパタニングして得られる。ゲートライン23は通常、フィールド酸化膜3の上に配

特開平4-133035 (5)

設される。又、ゲートライン23を被覆する誘電体膜22はシリコン多結晶薄膜の熱酸化により得られる。従って、この誘電体膜22も絶縁性に優れており緻密であるとともに極めて薄く形成できるので静電容量を大きくとれる。画素電極5の延設部分5aも透明電極材料からなる。従って、本実施例においては先に述べた例と異なり特別に電極を必要とする事がなく構造がより簡単になるとともに製造工程も効率化される。

第3図は第2図に示す一画素部分の平面図である。ちなみに、第2図に示す構造の左側部分は、第3図に示すA-A線に沿って切断された断面構造を示し、同じく第2図に示す構造の右側部分は、第3図に示すB-B線に沿って切断された断面構造を示す。第3図に示す様に、スイッチ素子4aのゲート電極8は走査電極母線あるいはゲートライン23から一部延設されたものであり、そのドレイン領域7はコンタクトホールを介して画素電極5に電気的に接続されており、そのソース領域6はコンタクトホールを介して信号電極母線あるい

は金属バタン10に電気的に接続されている。図示しないが、信号電極母線10の一部分はスイッチ素子4aを覆う様に延設されている。この延設された部分は第2図に示す構造の左側部分に明示されている。

走査電極母線あるいはゲートライン23の表面を覆う様に画素電極5の延設部分5aが形成されている。図から明らかな様に、この延設部分5aはその下側に配置されている走査電極母線23との間でキャパシタを構成し、スイッチ素子4aを介して画素電極5に選択給電された電荷量を一時的に蓄積しておく事ができる。

第4図は第1図に示す光井基板用半導体装置を用いて構成されたアクティブマトリックス型液晶光井装置の構造を示す模式的分解斜視図である。図示する様に、この光井装置は複合基板24と、該複合基板24に所定の間隙を介して対向配置された対向基板16と、両基板の間の間隙に配置された電気光学物質層即ち液晶層20等から構成されている。複合基板24には画素を規定する画素電極5がマト

リックス状に配置されているとともに、所定の画像信号に応じて各画素電極5を駆動する為の駆動回路とが形成されている。

複合基板24は、前述した様に石英ガラス基板1と単結晶シリコン薄膜層2とからなる二層構造を有する。加えて、石英ガラス基板1の裏面側には偏光板25が接着されている。そして、駆動回路はこの単結晶シリコン薄膜層2に形成された集積回路からなる。この集積回路はマトリックス状に配置された複数のスイッチ素子4aを含んでいる。各スイッチ素子4aは絶縁ゲート電界効果型のトランジスタからなる。トランジスタのドレイン領域は対応する画素電極5に接続されており、同じくゲート電極は走査電極母線23に接続されており、同じくソース領域は信号電極母線10に接続されている。シリコン単結晶薄膜集積回路はさらにXドライバ26を含み列状の信号電極母線10に接続されている。さらに、Yドライバ27を含み行状の走査電極母線23に接続されている。加えて、各画素電極5の上には誘電体膜(図示せず)を介して透明

電極13が形成されている。

対向基板16はガラス担体17と、ガラス担体17の外側面に接着された偏光板28と、ガラス担体17の内側面に形成された共通電極18等から構成されている。共通電極18の表面は配向膜19によって被覆されている。又、複合基板24の表面も配向膜15によって被覆されている。従って、複合基板24と対向基板16の間に挟持された液晶層20は一对の配向膜15及び19によって所定の液晶分子整列状態例えばツイスト状態に制御される。

次に第4図に示すアクティブマトリックス型液晶光井装置の動作を簡潔に説明する。個々のトランジスタスイッチ素子4aのゲート電極は走査電極母線23に接続されており、Yドライバ27によって走査信号が印加され順次で個々のトランジスタスイッチ素子4aの導通及び遮断を制御する。Xドライバ26から出力される画像信号は信号電極母線10を介して導通状態にある選択されたトランジスタスイッチ素子4aに印加される。印加された画像信号は対応する画素電極5に伝えられ、

特開平4-133035 (6)

画像信号の大きさに応じた電荷量が給電される。給電された電荷量は画素電極5に接続された容量性素子に蓄積される。蓄積電荷により励起された画素電極5と共通電極18の間に存在する液晶層20の部分は局部的にその液晶分子整列状態が変化し入射光に対する光弁機能を奏する。一方、非選択時においてはトランジスタスイッチ素子4aは非導通状態となり画素電極5に書き込まれた画像信号はそのまま容量性素子に蓄積された電荷量として維持される。シリコン単結晶薄膜に形成されたトランジスタスイッチ素子4aはその非導通状態においても若干の光暗電流が流れる。従って、容量性素子に蓄積された電荷も光暗電流として徐々に放出される。しかしながら、容量性素子のキャパシタンスを十分に大きくとってあるので、暗電流による損失分は殆ど無視する事ができる。従って、液晶層に印加される電圧は実質的に一定に維持される。例えば、画像信号がテレビジョン信号がある場合には、1走査線期間の約80 μ secの間に画像信号の大きさに応じた電荷を書き込まね

ばならない。一方、1フィールド期間である約16msecの間、蓄積された電荷量を維持しなければならない。容量性素子のキャパシタンス及びスイッチ素子のチャネル遮断抵抗との積によって決まる電荷放電時定数はこの1フィールド期間である約16msecに比べて遥かに大きく実質的に1フィールド期間内における放電量は無視する事が可能である。

最後に第5図(A)ないし第5図(G)を参照して第1図に示す光弁基板用単結晶薄膜半導体装置の製造方法を詳細に説明する。先ず第5図(A)に示す工程において、石英ガラス基板31と単結晶シリコン基板32とが用意される。単結晶シリコン基板32はLSI製造に用いられる高品質のシリコンウェハを用いる事が好ましく、その結晶方位は $\langle 100 \rangle \pm 0.5^\circ \pm 1.0^\circ$ の範囲の一様性を有し、その単結晶格子欠陥密度は500個/ cm^2 以下である。用意された石英ガラス基板31の表面及び単結晶シリコン基板32の裏面を先ず精密に平滑仕上げする。続いて平滑仕上げされた両面を重ね合わせ加熱す

る事により両基板を熱圧着する。この熱圧着処理により、両基板31及び32は互いに強固に接着される。

次に第5図(B)に示す工程において、単結晶シリコン基板32の表面を研磨する。この結果、石英ガラス基板31の表面には所望の厚さまで研磨された単結晶シリコン薄膜層33が形成される。なお、単結晶シリコン基板32を薄膜化する為に研磨処理に代えて湿式又は乾式のエッチング処理を用いても良い。この様にして得られた単結晶シリコン薄膜層33はシリコンウェハ32の品質が実質的にそのまま保存されるので結晶方位の一様性や格子欠陥密度に関して極めて優れた半導体基板材料を得る事ができる。従って、LSI製造技術を直接適用する事が可能となり、 μm オーダあるいはサブ μm オーダの極めて微細なスイッチ素子等を高歩留りで形成する事ができる。

ところで従来から単結晶シリコン薄膜と絶縁性担体からなる二層構造を有する種々のタイプの半導体薄膜積層基板が知られている。いわゆる

SOI基板と呼ばれているものである。SOI基板は例えば絶縁物質からなる担体表面に化学気相成長法等を用いて多結晶シリコン薄膜を堆積させた後、レーザビーム照射等により加熱処理を施し多結晶膜を再結晶化して単結晶構造に転換して得られていた。しかしながら、一般に多結晶の再結晶化により得られた単結晶は必ずしも一様な結晶方位を有しておらず又格子欠陥密度が大きかった。これらの理由により、従来方法により製造されたSOI基板に対してシリコンウェハと同様にLSI技術を適用する事は困難であった。この点に鑑み、本発明は半導体製造プロセスで広く用いられているシリコンウェハと同程度の結晶方位の一様性及び低密度の格子欠陥を有するシリコン単結晶薄膜を用いて微細且つ高分解能の光弁基板用半導体装置を製造する様にしている。

続いて第5図(C)に示す工程において、シリコン単結晶薄膜33の選択的熱酸化を行なう。この選択的熱酸化はシリコン単結晶薄膜33の全厚に対して全面的に行なわれ光学的に透明なフィールド

特開平4-133035 (7)

酸化膜34が形成される。このフィールド酸化膜34によって囲まれたシリコン単結晶薄膜33の部分はそのまま残され素子領域35を規定する。

さらに第5図(D)に示す工程において、素子領域に存在するシリコン単結晶薄膜33の表面部分の熱酸化処理が行われゲート絶縁膜36が形成される。このゲート絶縁膜36は極めて薄い膜厚を有する。その上に、化学気相成長法等を用いてシリコン多結晶薄膜を堆積した後、フォトリソグラフィ及び異方性エッチングによりシリコン多結晶薄膜をパタニングし所定の形状を有するゲート電極37を形成する。

第5図(E)に示す工程において、シリコン単結晶薄膜33の表面部に対して不純物をドーピングし不純物拡散領域からなるソース領域38及びドレイン領域39を形成する。この不純物ドーピングは例えばゲート絶縁膜36を介してゲート電極37をマスクとした不純物元素のイオン注入により行なわれる。この結果、一対のソース領域38及びドレイン領域39の間でゲート電極37の下の部分にト

ランジスタチャネル形成領域が設けられシリコン単結晶薄膜絶縁ゲート電界効果型のトランジスタが形成される。このトランジスタは典型的なLSI製造技術によってシリコン単結晶薄膜に形成されたものであるから、 μ mオーダあるいはサブ μ mオーダの微細寸法を有するとともに高速応答性に優れている。

続いて第5図(F)に示す工程において、フィールド酸化膜34の上に画素電極40が形成される。この画素電極40は、例えば素子領域35をマスクした後、基板表面に化学気相成長法を用いてシリコン多結晶薄膜を堆積し、このシリコン多結晶薄膜を所定の形状にパタニングする事により得られる。シリコン多結晶は本来光非透過性であるが、その膜厚を極めて薄くする事により実質的に入射光に対して透明とする事ができる。なお、画素電極40を形成する際、ゲート絶縁膜36に予めコンタクトホールを形成しておき、スイッチ素子のドレイン領域39と画素電極40の電気的導通を確保する様にしている。

続いて、画素電極40の上に誘電体膜41を形成する。この誘電体膜41は例えば多結晶シリコン薄膜からなる画素電極40の表面を熱酸化処理する事により得られる。熱酸化シリコン膜は絶縁性に優れており極めて緻密であるとともにその膜厚を薄くできるので優れた誘電体材料である。

さらに、素子領域を覆うマスクを除去した後、層間絶縁膜を堆積し、その上に金属パタン42を形成する。この時、層間絶縁膜及びゲート絶縁膜にコンタクトホールが形成されており、トランジスタスイッチ素子のソース領域38と金属パタン42の電気的接続を確保する様にしている。

最後に第5図(G)に示す工程において、誘電体膜41の上に電極43が積層される。この電極43は例えばITO等からなる透明電極材料から構成される。ITO膜を被覆した後フォトリソグラフィ及びエッチングを用いてパタニングし所定の形状を有する電極43を得る事ができる。この結果、画素電極40及び電極43と両者の間に挟持された誘電体膜41からなる容量性素子が形成される。本例にお

いては、電極43、誘電体膜41、画素電極40は全て透明であるので透過型の光弁装置を構成する事ができる。電極43を形成した後、基板表面は全体に渡って保護膜44により被覆される。この保護膜44の表面は平坦化されている。

〔発明の効果〕

上述した様に、本発明によれば石英ガラス基板の上に形成された高品質の半導体単結晶薄膜層に対してLSI製造技術又は半導体微細化技術を用いて画素電極群及びスイッチ素子群を高密度で集積的に形成している。この為、極めて高い画素密度を有する光弁基板用単結晶薄膜半導体装置を得る事ができるという効果がある。特に、画素電極に接続して容量性素子を設けているので、半導体単結晶薄膜に形成されたスイッチ素子例えば絶縁ゲート電界効果型トランジスタの光暗電流が比較的大きいにも拘らず画素電極に選択給電された実効電荷量を保持する事ができ、安定した光弁動作特性を得る事ができるという効果がある。加えて、画素電極を半導体多結晶薄膜で構成し、その表面

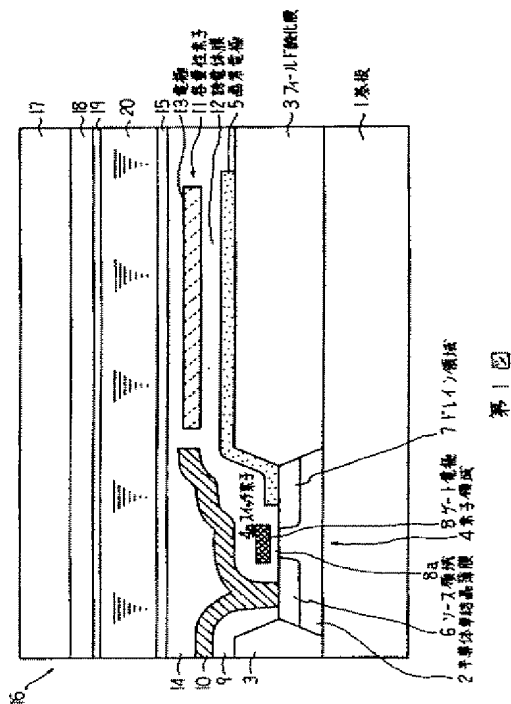
特開平4-133035 (8)

の選択的熱酸化によって得られる緻密な膜を容量性素子の誘電体膜として利用する事により、耐圧性に優れ且つ容量の比較的大きなキャパシタを得る事ができるという効果がある。

4. 図面の簡単な説明

第1図は光弁基板用単結晶薄膜半導体装置の構造を示す模式的断面図、第2図は光弁基板用単結晶薄膜半導体装置の他の実施例を示す模式的断面図、第3図は第2図に示す光弁基板用単結晶薄膜半導体装置の模式的平面図、第4図は第1図に示す半導体装置を用いて組み立てられたアクティブマトリクス型液晶光弁装置の模式的分解斜視図、及び第5図(A)ないし第5図(G)は第1図に示す半導体装置の製造方法を示す工程図である。

- | | |
|------------|------------|
| 1…基板 | 2…半導体単結晶薄膜 |
| 3…フィールド酸化膜 | 4…素子領域 |
| 4a…スイッチ素子 | 5…画素電極 |
| 6…ソース領域 | 7…ドレイン領域 |
| 8…ゲート電極 | 8a…ゲート絶縁膜 |

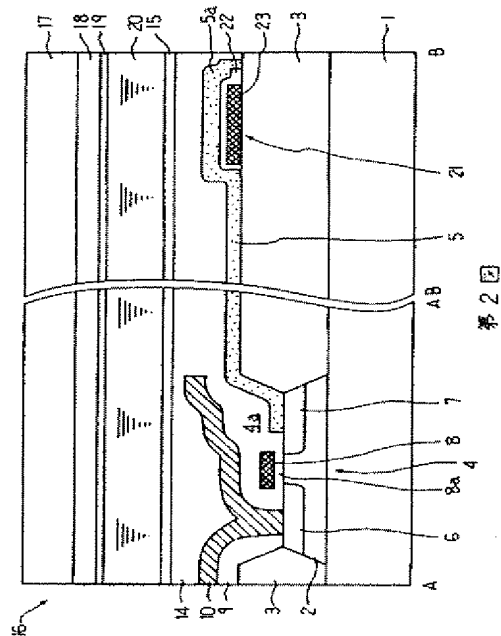


第1図

- | | |
|----------|-----------|
| 9…漏洩絶縁膜 | 10…金属パタン |
| 11…容量性素子 | 12…誘電体膜 |
| 13…電極 | 14…平坦化保護膜 |
| 15…配向膜 | 16…対向基板 |
| 17…ガラス担体 | 18…共通電極 |
| 19…配向膜 | 20…液晶層 |

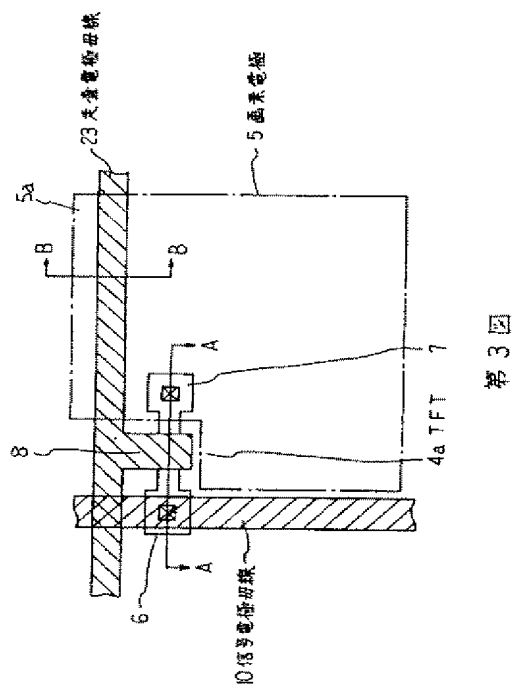
出願人 セイコー電子工業株式会社

代理人 井理士 林 敬之助

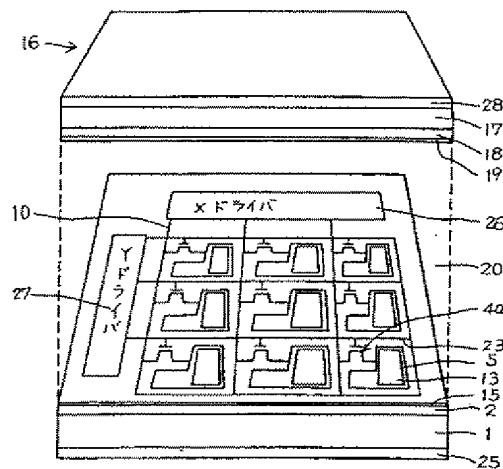


第2図

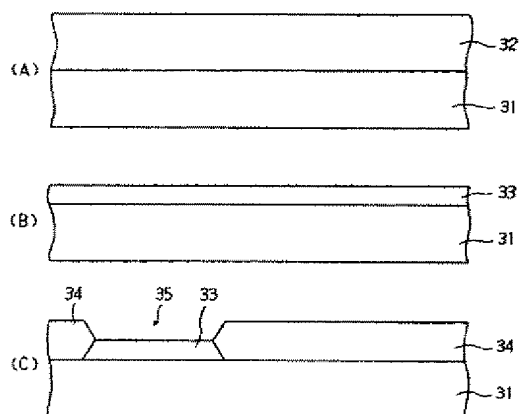
特開平4-133035 (9)



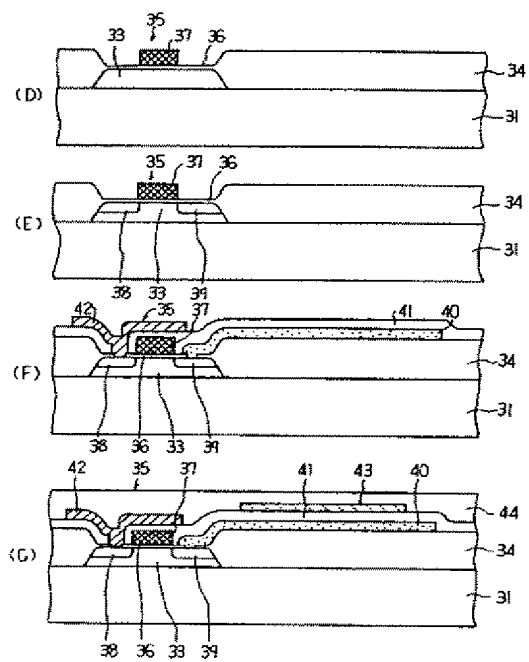
第3図



第4図



第5図



第5図